

Interfaccia 8255: Il chip

Il circuito integrato INTEL 8255A è un'interfaccia per I/O programmabile adatta a collegare una generica periferica al Bus della CPU. La configurazione operativa dell'8255 è controllabile dal software, in modo da rendere inutile l'uso di circuiti logici esterni per il normale interfacciamento. Esso è progettato per l'uso con i microprocessori della famiglia INTEL. La sua piedinatura è dotata di 24 linee (come si vede in figura 1) :

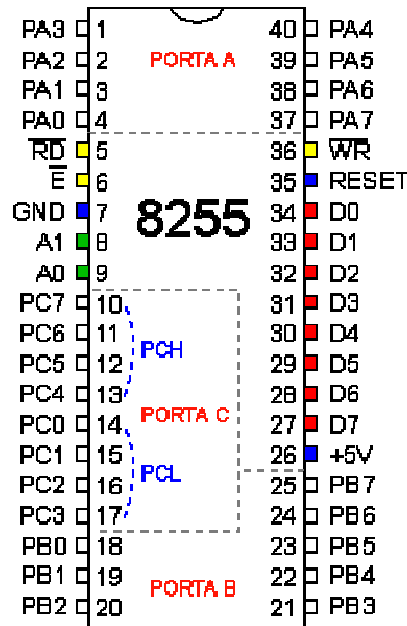


Figura 1

- 8 appartenenti alla Porta A;
- 8 appartenenti alla Porta B;
- 8 appartenenti alla Porta C;
- BUS dati a 8 bit (rosso)
- BUS indirizzi a 2 bit (per selezionare 4 indirizzi interni in verde)
- VCC: System Power, GND: System Ground, reset (blu)
- RD: Read Control ,WR: Write Control CS: Chip Select(giallo)

Le 8 linee della porta A e della Porta B possono essere programmate per funzionare da ingressi o da uscite in 4 possibili modi:

- Porta A ingresso e Porta B uscita;
- Porta A uscita e Porta B uscita;
- Porta A ingresso e Porta B ingresso;
- Porta A uscita e Porta B ingresso.

Le linee del Porta C possono essere suddivise in due gruppi da 4 bit ciascuno: lower (0-3) e upper(4-7). Ogni gruppo può essere programmabile da ingresso o da uscita.

Dal punto di vista del programmatore l'8255 si presenta come un insieme di 4 registri da 8 bit, corrispondenti alle 3 porte ed al Registro di Controllo. Accedendo ai registri associati alle 3 porte si esegue il trasferimento dati. Accedendo al Registro di Controllo si definisce il modo di funzionamento per ciascuna porta. Il Registro di Controllo può essere solo scritto. I 4 registri sono accessibili tramite i pin D0-7 , selezionando quello desiderato tramite i pin A0 e A1.

Lo schema a blocchi del dispositivo è mostrato in Figura 2.

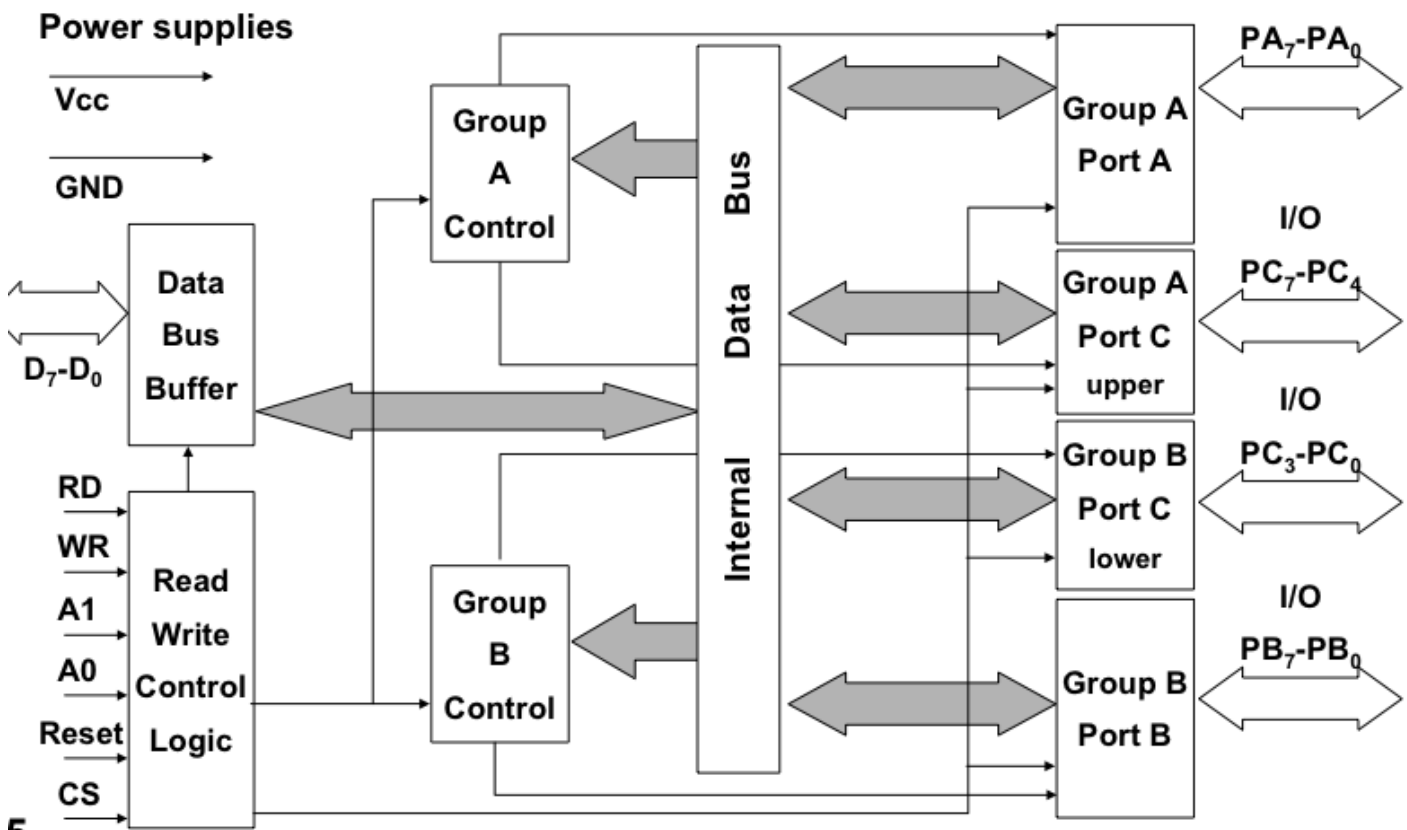


Figura 2

I 24 pin di I/O sono suddivisi in 2 Gruppi di 12 pin.

- Gruppo A: Porta A e Porta C (parte alta)
- Gruppo B: Porta B e Porta C (parte bassa).

Interfaccia 8255: Modi Operativi

Le porte dell'8255 possono essere programmate in 3 modi operativi:

Modo 0: *Basic Input/Output*

Modo 1: *Strobed Input/Output*

Modo 2: *Bidirectional Bus*.

Al reset l'8255 è inizializzato con tutte le porte programmate in modo 0 in Input.

Quando l'8255 è programmato per funzionare in modo 1 o modo 2, i segnali di controllo possono essere utilizzati direttamente per generare richiesta di interrupt alla CPU. Quando ciò avviene, i segnali di richiesta di interrupt generati dalla Porta C possono essere abilitati o disabilitati ponendo a livello alto o basso il flip-flop, utilizzando l'istruzione set/reset di un singolo bit della Porta C. Con tali istruzioni il programmatore può permettere o negare ad un dispositivo di I/O la possibilità di lanciare interrupt. Se viene posto ad 1 il contenuto di un dato bit del flip-flop, l'interrupt del dispositivo relativo viene abilitato, mentre se viene posto a 0 l'interrupt risulta disabilitato. Tutti i flip-flop di mascheramento vengono automaticamente resettati quando viene selezionato un modo o se il dispositivo viene resettato.

Interfaccia 8255: Parola di Controllo

La parola di controllo viene scritta dalla CPU nel registro di controllo dell'8255. Può avere due funzioni:

- Permette di programmare il dispositivo impostando il modo di funzionamento delle porte dell'8255. Le possibili configurazioni sono illustrate in Figura 3.

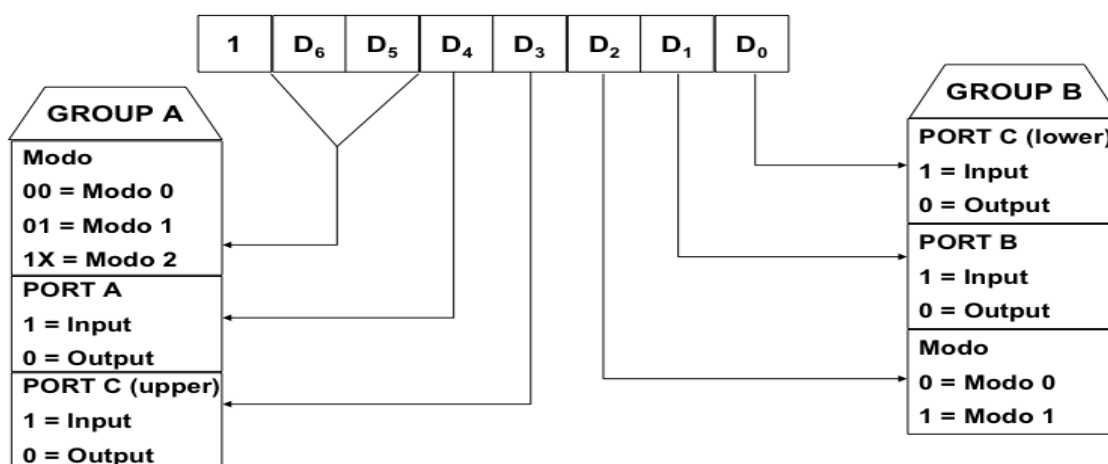


Figura 3

- Permette di effettuare la scrittura di un valore logico in un singolo bit della porta (come si evince dalla figura 4) impostando i bit D 0-3 con l'indirizzo del bit da modificare e D0 con il valore da attribuire.

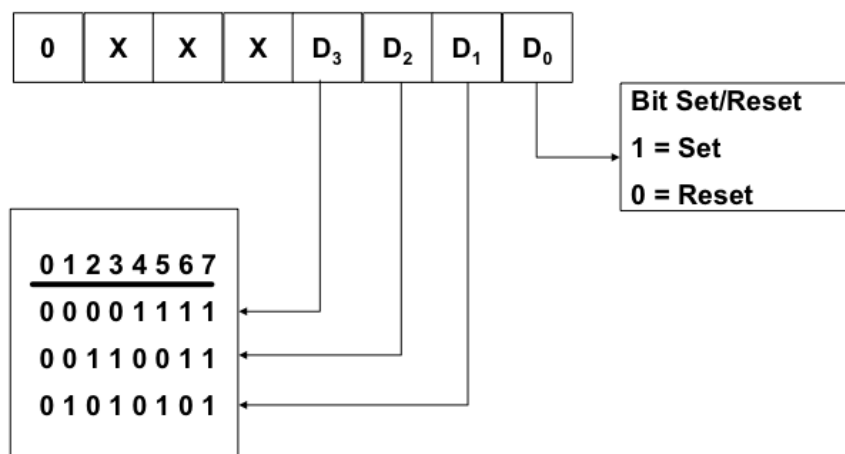


Figura 4

ES: CW = 01111111 porta il pin 7 a livello logico alto.

Interfaccia 8255: Utilizzo di Interrupt

In modo 1 e 2 alcuni segnali di controllo, provenienti dalla porta C, possono essere utilizzati per inviare una richiesta di interrupt alla CPU. Tali segnali possono essere disabilitati o abilitati settando o resettando il flip-flop interno di *interrupt enable* (INTE) attraverso l'operazione di bit set/reset della Porta C. INTE abilita l'interrupt quando l'opportuno bit della Porta C è forzato ad 1.

NOTA: tutti i flip flop di mascheramento vengono automaticamente resettati quando viene selezionato un modo o se il dispositivo viene resettato.

Interfaccia 8255: Modo 0

Questa configurazione operativa permette di instaurare su tutti e 3 le porte le normali funzioni di lettura o scrittura di un dato. Non è richiesto alcun segnale di controllo tipo handshake in quanto i dati vengono semplicemente letti o scritti nelle Porte relative.

Caratteristiche:

- due Porte ad 8 bit e due Porte a 4 bit;
- qualsiasi Porta può essere definito come ingresso o come uscita;
- le uscite sono memorizzate;
- gli ingressi sono memorizzati;
- sono possibili 16 diverse combinazioni di I/O

Esempio di funzionamento in Modo 0 :

Questo modo di funzionamento permette di far eseguire operazioni di Input e Output a ciascuna delle singole porte. Non sono richiesti segnali di handshaking.

Si consideri un sistema a microprocessore basato su 8086 che deve comunicare tramite un'interfaccia di comunicazione parallela 8255:

- Acquisisce un valore dalla porta PA
- Ripete il carattere acquisito sulla porta PC.

L'8255 è mappato all'indirizzo 50H.

La Control Word relativa all'esercizio è illustrata in figura 5.

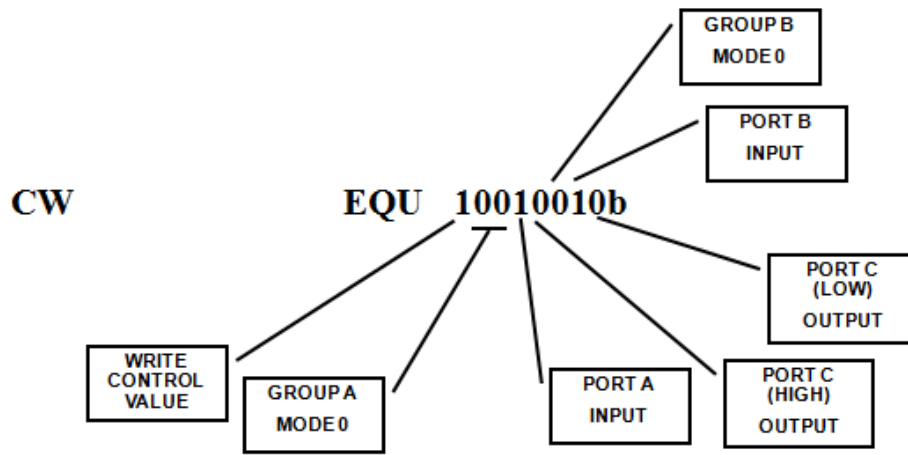


Figura 5

Di seguito si riporta il codice del corrispettivo programma Assembler.

```

; valori di inizializzazione
PORTA EQU 50H
PORTB EQU 51H
PORTC EQU 52H
CONTROL EQU 53H
CW EQU 10010010b

```

```

; programma
MOV DX, CONTROL
MOV AL, CW
OUT DX, AL
MOV DX, PORTA
IN AL, DX
MOV CX, DELAY ; queste due linee introducono un certo numero di
ritardo:LOOP ritardo ; cicli di busy waiting prima di effettuare
MOV DX, PORTC ; l'operazione di scrittura
OUT DX, AL

```

Interfaccia 8255: Modo 1

Questo tipo di configurazione permette di trasferire dati da una porta mediante il controllo di segnali di handshake. In Modo 1 la porta A e la porta B usano le linee della porta C per generare o acquisire questi controlli. Utilizza un protocollo di tipo handshake unidirezionale (R/W), è un modo per comunicare tra Bus il cui passaggio viene regolamentato da due segnali: uno di DATO PRONTO inviato dal trasmettitore quando il dato da trasmettere è pronto sulla porta ed uno di DATO RICEVUTO inviato dal ricevitore quando il dato trasmesso è stato immagazzinato, di conseguenza per un handshake bidirezionale servono almeno quattro linee di controllo.

Caratteristiche del Modo 1:

- due gruppi di trasferimento (Gruppo A e Gruppo B);
- ciascun gruppo contiene una porta di dati ad 8 bit ed una porta di controllo dei dati da 4 bit;
- le due porte di dati ad 8 bit possono essere sia d'ingresso che d'uscita, sia le uscite che gli ingressi sono memorizzati su latch;

- Uno schema che illustra le funzionalità del modo 1 in input è riportato in Figura 6.



- STB (Strobe Input): un valore basso carica il dato nell'input latch.
- IBF (Input Buffer Full): un valore alto indica che il dato è stato caricato nell'input latch (funziona da acknowledge).
- INTR (Interrupt Request): un valore alto può essere usato come richiesta di interrupt per la CPU.
- INTE A (Interrupt Enable per il gruppo A): controllato dal bit set/reset di PC4.
- INTE B (Interrupt Enable per il gruppo B): controllato dal bit set/reset di PC2.
- IBF è settato quando STB va basso, ed è resettato dal fronte di salita di RD.
- INTR è settato quando STB va alto, IBF è alto, e INTE è settato; è resettato sul fronte di discesa di RD.

Il seguente schema in figura 7 illustra le funzionalità del modo 1 in output.

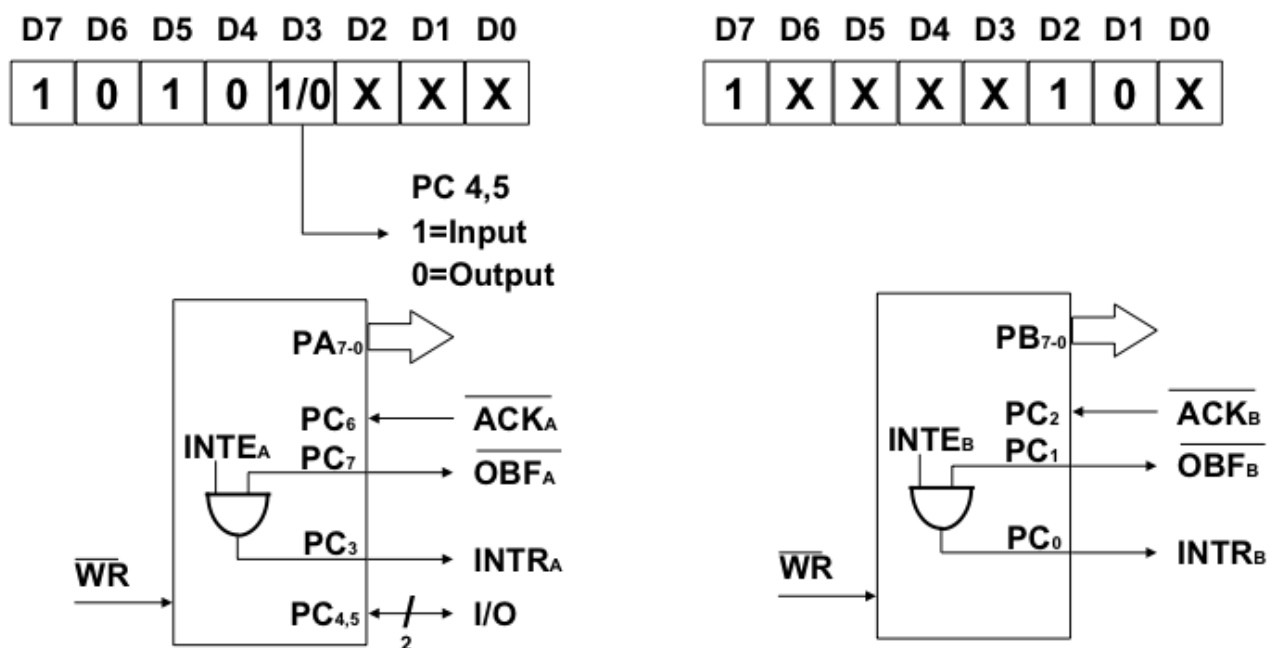


Figura 7

Segnali di Controllo in Output :

- OBF (Output Buffer Full): un valore basso indica che la CPU ha scritto il dato sulla porta.
- ACK (Acknowledge Input): un valore basso informa l'8255 che il dato è stato ricevuto dalla periferica.
- INTR (Interrupt Request): un valore alto può essere usato come richiesta di interrupt per la CPU.
- INTE A (Interrupt Enable per il gruppo A): controllato dal bit set/reset di PC6.
- INTE B (Interrupt Enable per il gruppo B): controllato dal bit set/reset di PC2.
- OBF è settato sul fronte di salita di WR ed è resettato quando ACK diventa basso.
- INTR è resettato sul fronte di discesa di WR, ed è settato quando ACK è alto, OBF è alto e INTE è settato.

Esempio di funzionamento in Modo 1:

Un sistema a microprocessore basato su 8086 deve ricevere ed elaborare valori provenienti da un dispositivo esterno. Tramite un'interfaccia parallela 8255 all'indirizzo 50H

1. Il sistema riceve dal dispositivo esterno un valore in input ed un segnale di STROBE a segnalare che un dato è stato inviato
2. Segnala al dispositivo esterno la disponibilità a ricevere un nuovo dato tramite un segnale di ACKNOWLEDGE

3. Ogni 200 valori ricevuti, il processore 8086 ne esegue la media e la mette a disposizione dell'esterno tramite lo stesso 8255.

Uno schema strutturale del sistema descritto è riportato in figura 8.

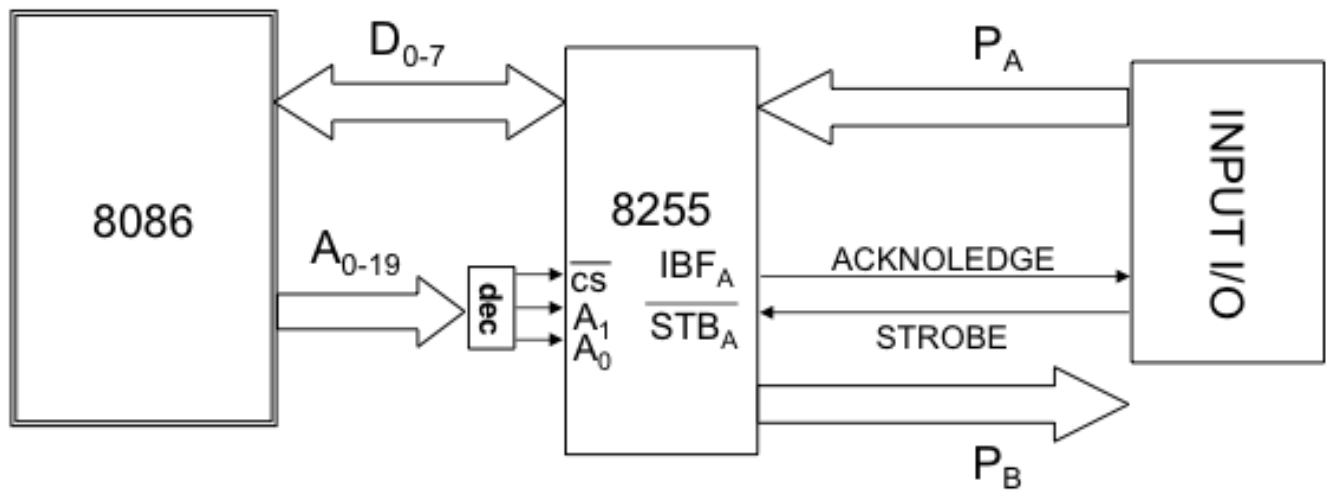


Figura 8

La soluzione al problema in linguaggio Assembler è riportata di seguito:

```
; Definizione delle costanti e della parola di controllo
PORTA EQU 50H
PORTB EQU 51H
PORTC EQU 52H
CONTROL EQU 53H
CW EQU 10110000b

; inizializzazione dispositivo
MOV AL, CW
MOV DX, 53H
OUT DX, AL

;Programma principale

MOV BX, 0
MOV DI, 0
MOV CX, 200
MOV DX, PORTC
non_pronto: IN AL, DX
TEST AL, 00010000b ; controlla il pin IBF
JZ non_pronto
INC DI
MOV DX, PORTA
IN AL, DX
CBW
ADD BX, AX
CMP DI, CX
JNE non_pronto
XCHG BX, AX
DIV CL ; AL contiene il valore media
MOV DX, PORTB
OUT DX, AL
```


Una soluzione alternativa, facente uso di un meccanismo di interrupt realizzato mediante un dispositivo 8259, come illustrato in figura 9, è riportata di seguito.

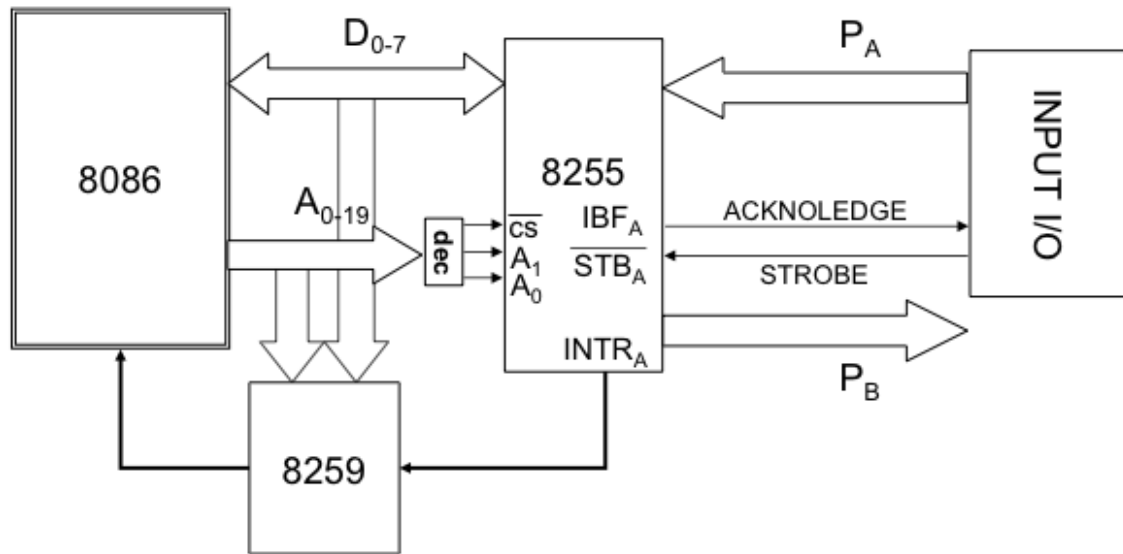


Figura 9

```
; inizializzazione dispositivo
MOV AL, CW
MOV DX, 53H
OUT DX, AL
MOV AL, SPC4
OUT DX, AL

; programma principale
MOV DI, 0
MOV CX, 200
non_pronto: HLT          ; pone il sistema in uno stato di
                        ; attesa da cui si esce esclusivamente
                        ; con un evento di interrupt

CMP DI, CX
JNE non_pronto
XCHG BX, AX
DIV CL
MOV DX, PORTB
OUT DX, AL

; procedura di gestione dell' INTERRUPT
leggi PROC
MOV DX, PORTA
IN AL, DX
CBW
ADD BX, AX
INC DI
IRET
leggi ENDP
```

Interfaccia 8255: Modo 2

Questa configurazione operativa permette all'8255A di interfacciarsi direttamente ad un dispositivo avente un bus bidirezionale ad 8 bit. I segnali di controllo (con modalità di handshake bidirezionale) permettono di regolare il flusso dei dati in maniera analoga a quella vista per il Modo 1, è possibile inoltre sia generare un segnale di interrupt che di abilitarne e disabilitarne il funzionamento.

Caratteristiche del Modo 2:

- si può usare solo il Gruppo A;
- un bus bidirezionale ad 8 bit disponibile sul port A e 5 linee di controllo accessibili sul port C;
- sia gli ingressi che le uscite sono memorizzate su latch;
- il port di controllo a 5 bit (port C) viene usato per controllare e leggere lo stato del bus bidirezionale ad 8 bit (port A);
- il port B invece potrà essere, indipendentemente, utilizzato in modo zero o uno.

Uno schema che illustra le funzionalità del modo 1 in input è riportato in Figura 10.

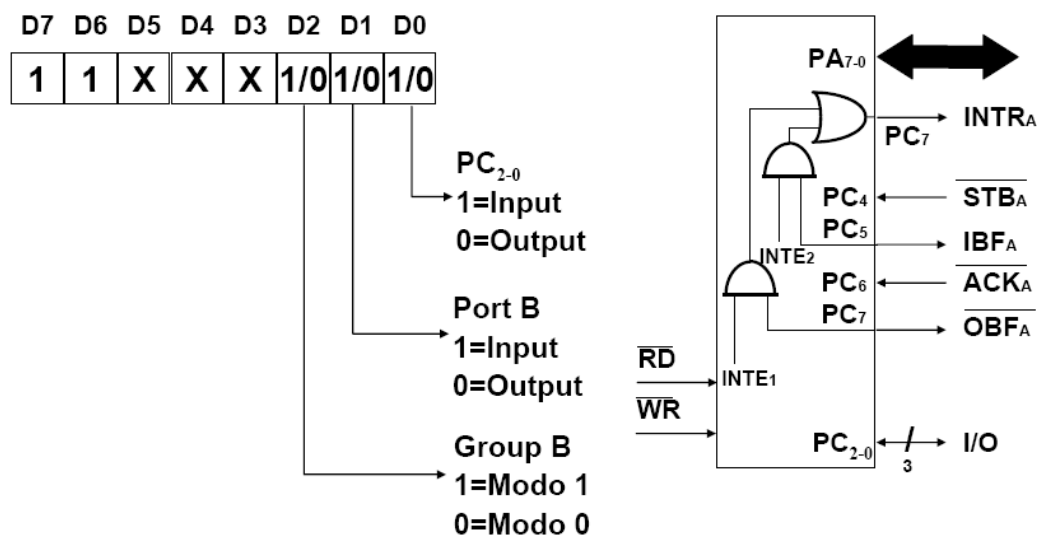


Figura 10

I segnali di controllo relativi al modo 2 sono i seguenti:

- INTR: un valore alto può essere usato per una richiesta di interrupt per la CPU.
- OBF: un valore basso indica che la CPU ha scritto un dato sulla porta A.
- ACK: un valore basso abilita ad inviare il dato.
- STB: un valore basso carica il dato nell'input latch.
- IBF: un valore alto indica che il dato è stato caricato sull'input latch.
- INTE 1 (InterruptEnable): controllato dal bit set/reset di PC 6 .
- INTE 2 (InterruptEnable): controllato dal bit set/reset di PC 4 .

Interfaccia 8253 (Temporizzatore Di Intervalli)

L'Intel 8253 è un dispositivo programmabile "stand-alone", progettato per essere utilizzato come periferica di timing per microcomputer Intel.

Questo dispositivo non comunica normalmente verso l'esterno, le sue funzioni principali sono quelle di temporizzazione e conteggio, ma di fatto è stato sostituito dal 8254 che implementa le sue stesse funzioni, con alcune aggiunte. Possiede 24 pin e 3 contatori da 16 bit.

Può essere utilizzato come:

- Generazione di ritardi sotto il controllo software
- Generatore di segnali (onde quadre, impulsi) con frequenza programmabile
- Contatore di eventi
- Misuratore di intervalli
- Divisore di frequenza.

Come il dispositivo 8255, necessita di una procedura di inizializzazione per essere utilizzato efficacemente.

Interfaccia 8253: Il Chip

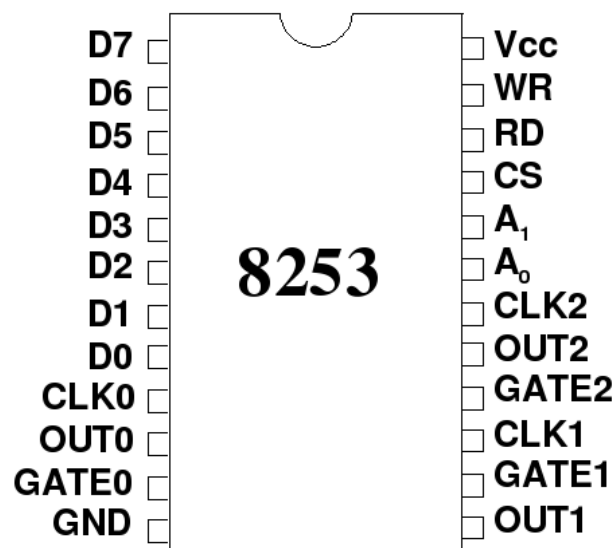


Figura 11

Come si può visionare in figura 11, il dispositivo presenta:

- 8 Pin (D7-D0) che contengono la parola di controllo con cui il processore programma il 8253.
- 2 Pin di indirizzo (A0,A1) che indicano da quale dei 3 contatori leggere o scrivere
- 3 blocchi CLK GATE OUT
- Vcc e GND dove si collegano l'alimentazione e la massa
- CS (chip select), RD(read control), WR(write control)

Il diagramma a blocchi del dispositivo è illustrato in figura 12.

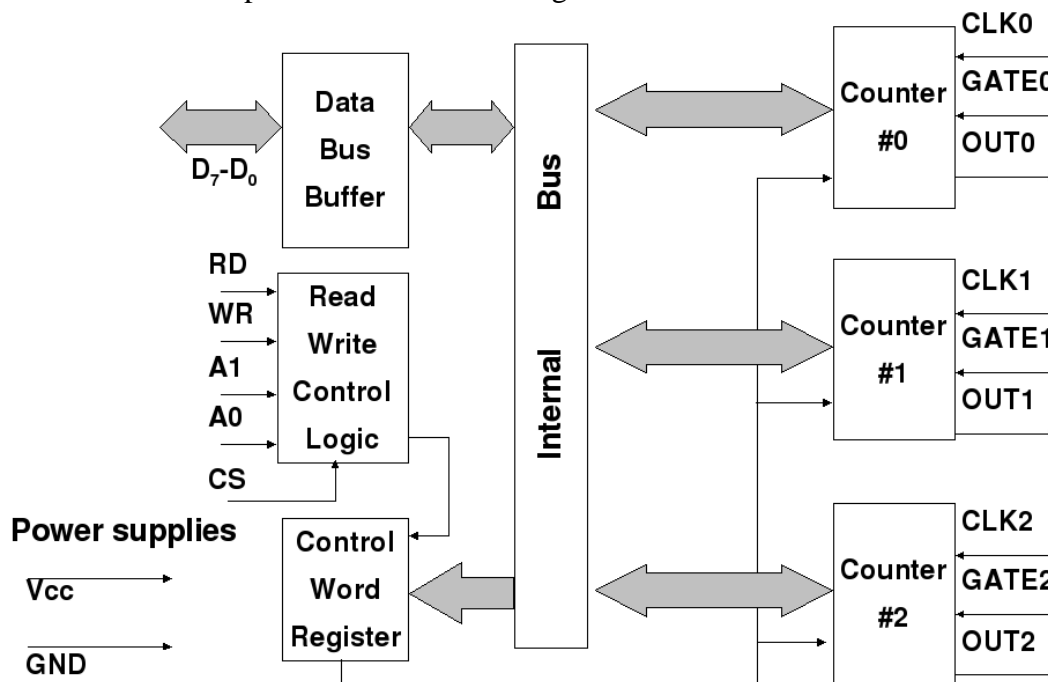


Figura 12

Interfaccia 8253: Contatori

Come descritto precedentemente, il dispositivo consta di tre contatori indipendenti, ciascuno con una frequenza di conteggio superiore a 2Mhz, rispettivamente con 2 input (CLK e GATE) e 1 output (OUT). All'interno di ogni contatore è presente un registro a 16 bit. In ogni momento i registri all'interno dei contatori possono essere letti. Per impostare il funzionamento dei 3 contatori devono essere inviate dalla CPU 3 parole di controllo diverse, che una volta ricevute persistono fino a quando non ne vengono inviate delle nuove.

Interfaccia 8253: Registro Di Controllo

Il registro di controllo è un registro di profondità 8 bit in cui la CPU memorizza la parola di controllo del dispositivo. Per ciascun contatore, il valore del Registro di Controllo determina:

- il modo di funzionamento
- le modalità di caricamento del valore di inizializzazione
- il tipo di conteggio (binario o BCD).

Prima dell'inizializzazione, il modo di funzionamento, il contenuto e l'uscita di ogni contatore sono indefiniti. La struttura del registro di controllo è illustrata in figura 13.

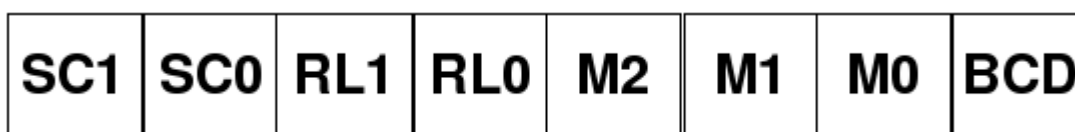


Figura 13

La descrizione dei bit e del loro significato è come segue:

SC1, SC0 : valore del contatore su cui operare:

- 00, contatore del contatore 0
- 01, contatore del contatore 1
- 10, contatore del contatore 2
- 11, configurazione non ammessa.

RL1, RL0: operazione da effettuare sul contatore:

- 00, memorizza staticamente il valore corrente del contatore, per una successiva lettura
- 01, predispone il timer alla re-inizializzazione del byte meno significativo
- 10, abilita il dispositivo per la re-inizializzazione del byte più significativo
- 11, permette di inizializzare in sequenza il byte meno significativo e il più significativo

M2, M1, M3: selezionano il modo di funzionamento del timer, ovvero dal modo 0 al modo 5;

BCD: definisce il sistema di conteggio:

- 0: binario
- 1: BCD

Interfaccia 8253: Modi Di Funzionamento

Possono essere impostati fino a 6 modi diversi di funzionamento:

- **Mode 0: Interrupt al Termine del Conteggio**

Il contatore viene programmato ad un valore iniziale da cui inizia a contare decrementando fino a 0. Se il GATE é 1, il conteggio prosegue normalmente, altrimenti il valore non viene decrementato. Al termine il relativo pin OUT va a 1 fino a nuovo conteggio o parola di controllo. Di seguito sono riportati due diagrammi temporali relativi a due esempi di funzionamento in modo 0 (figure 14 e 15).

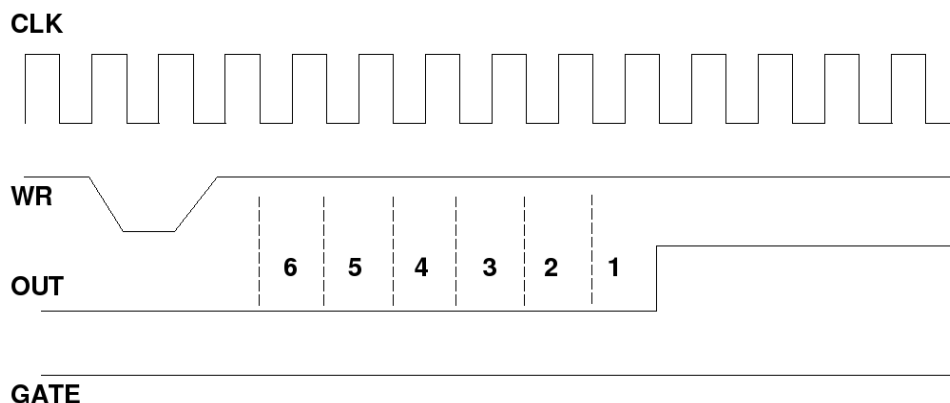


Figura 14

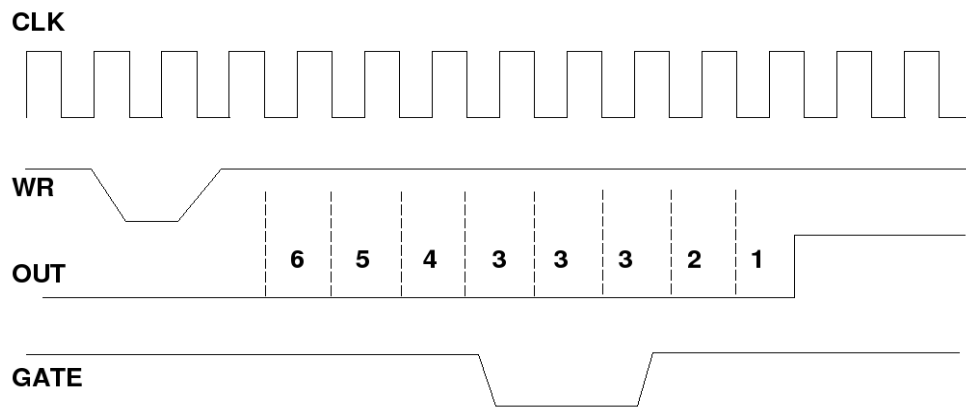


Figura 15

- **Mode 1: One-shot programmabile**

Il funzionamento è analogo al modo 0, ma il conteggio inizia al fronte di salita del segnale GATE. Durante il conteggio il segnale GATE è ignorato.

- **Mode 2: Generatore di Frequenza**

Dopo l'attivazione del conteggio, OUT resta alto finché il contatore non raggiunge 1, e quindi va a 0 per un solo impulso di clock. Se il GATE é 1, il conteggio prosegue normalmente, altrimenti il valore non viene decrementato. Di seguito sono riportati due diagrammi temporali relativi a due esempi di funzionamento in modo 2 (figure 16 e 17).

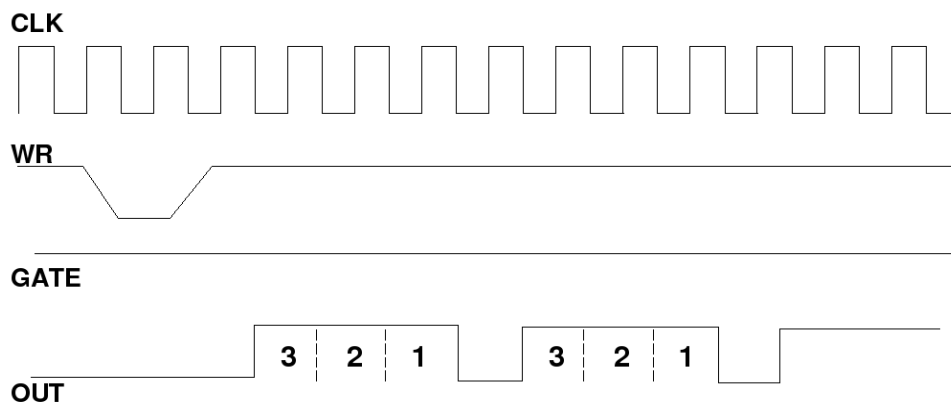


Figura 16

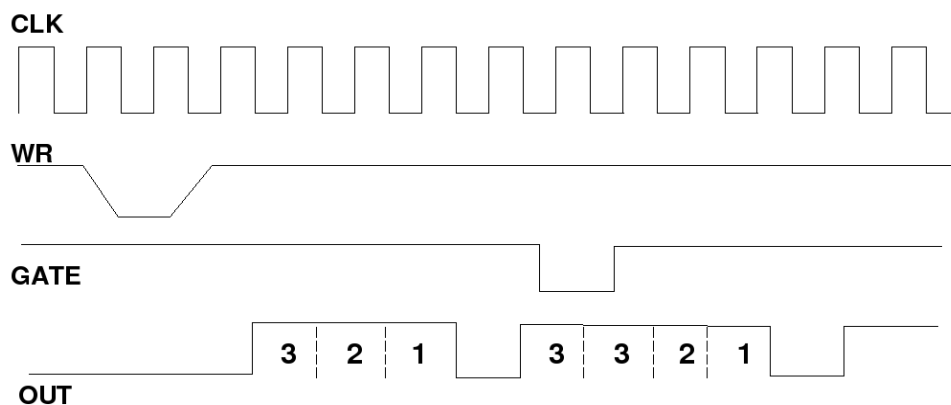


Figura 17

- **Mode 3: Generatore di Onde Quadre**

Il funzionamento è analogo al modo 2, ma OUT è alto per metà del periodo e basso per l'altra metà.

- **Mode 4: S/W Triggered Strobe**

All'attivazione del conteggio OUT resta alto finché il contatore non raggiunge 0, quindi OUT va a 0 per un solo periodo di clock dopo di che ritorna alto.

- **Mode 5: H/W Triggered Strobe.**

Il funzionamento è analogo al modo 4, ma il conteggio inizia quando GATE viene triggerato.

Interfaccia 8253: Esempi di funzionamento

1. Si supponga di voler inizializzare i tre contatori di un 8253 avente indirizzo 40H nel modo seguente:

Contatore 0: Conteggio Binario, modo 0 con valore iniziale 1234H

Contatore 1: Conteggio BCD, modo 2 con valore iniziale 100H

Contatore 2: Conteggio Binario, modo 4 con valore iniziale 1FFFH.

Il registro di Controllo ha indirizzo 43H.

Di seguito viene presentata la procedura Assembler relativa all'esempio.

```
CW0      EQU 00110000      ; 30h
CW1      EQU 01100101      ; 65h
CW2      EQU 10111000      ; B8h

MOV      AL, CW0
OUT      43h, AL          ; programmazione contatore #0
MOV      AL, CW1
OUT      43h, AL          ; programmazione contatore #1
MOV      AL, CW2
OUT      43h, AL          ; programmazione contatore #2

MOV      AL, 34H
OUT      40h, AL          ; caricamento LSB contatore 0
MOV      AL, 12h
OUT      40h, AL          ; caricamento MSB contatore 0
MOV      AL, 01h
OUT      41h, AL          ; caricamento MSB contatore 1
MOV      AL, 0FFh
OUT      42h, AL          ; caricamento LSB contatore 2
MOV      AL, 1Fh
OUT      42h, AL          ; caricamento MSB contatore 2
```

2. Si vuole programmare un dispositivo 8253 in modo da generare un ritardo di 5 msec. Si supponga di avere a disposizione un clock da 1 Mhz.

Il periodo del clock è di 1 microsecondo. Per ottenere un tempo di 5 msec sono necessari $5000 = 1388H$ periodi del clock.

Il codice Assembler relativo alla programmazione dell'8253 è il seguente:

```
MOV AL, 01110001B      ; contatore 1, modo 0, BCD

OUT 43h, AL
MOV AL, 88h           ; byte meno significativo
OUT 41h, AL
MOV AL, 13h           ; byte più significativo
OUT 41h, AL
```

3. Si voglia generare un segnale che ogni 4 secondi scateni una richiesta di interruzione. Si supponga di disporre di un clock con frequenza 2 Mhz.

Il numero di impulsi che devono essere contati è pari a 8.000.000. Tale cifra non è rappresentabile su 16 bit e quindi occorre utilizzare due contatori in cascata.

Lo schema h/w relativo ai periferici è mostrato in figura 18.

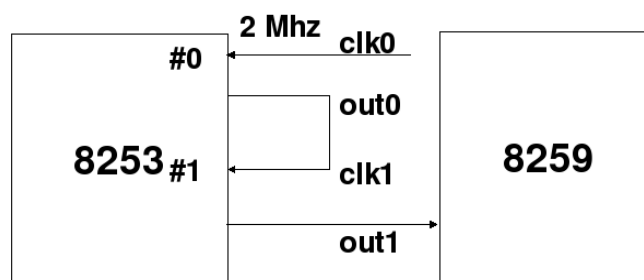


Figura 18

```
MOV DX, 43h
MOV AL, 34h      ; contatore 0, modo 2, binario
OUT DX, AL
MOV AL, 64h      ; contatore 1, modo 2, binario
OUT DX, AL
MOV DX, 40h
MOV AX, 49999    ; 8,000,000/160 - 1 = 50000 - 1
OUT DX, AL      ; LSB contatore 0
MOV AL, AH
OUT DX, AL      ; MSB contatore 0
INC DX
MOV AL, 159      ; 160 - 1
OUT DX, AL      ; LSB contatore 1
```

4. Utilizzare un dispositivo periferico 8253 mappato all'indirizzo 60H per gestire il seguente sistema a microprocessore composto di:

- un 8255 (address 50H) la cui porta A è in input
- un 8259 che gestisce le procedure di lettura di un valore dalla porta A dell'8255
- un 8086 che memorizza l'ultimo dato letto.

Il sistema è alimentato ad una frequenza di clock di 1 MHz e deve leggere il dato dalla porta A della periferica 8255 dopo 1 sec. Lo schema del sistema è mostrato in Figura 19.

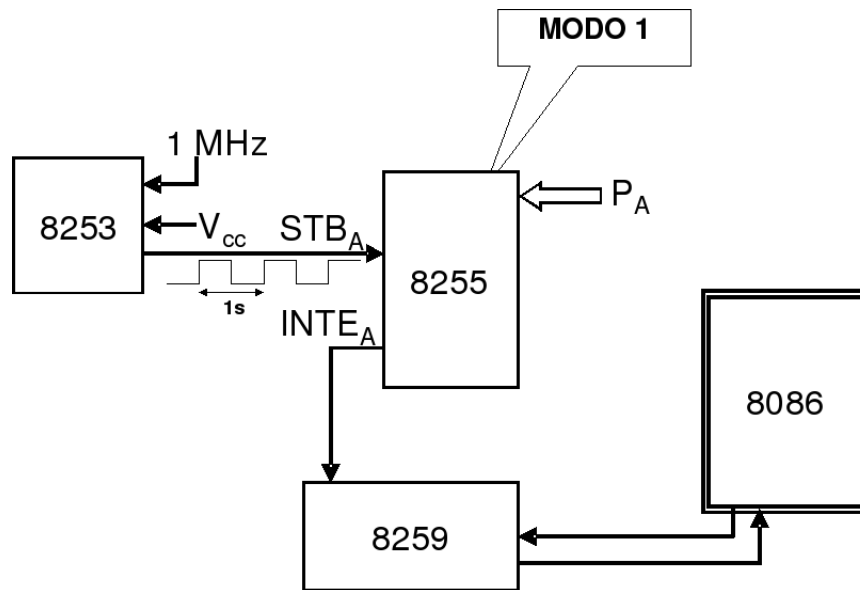


Figura 19

Il valore totale da conteggiare ammonta a: $106 * 1 = 1.000.000 = F4240H$

Tale valore evidentemente risulta troppo grande per un solo contatore. Quindi vengono utilizzati due contatori collegati in cascata, nel seguente modo:

COUNT0 in modo 2 utilizzato come divisore di frequenza, con fattore di divisione $13H$ ($1 \text{ MHz}/50 \text{ KHz} = 20 = 14H$ [da decrementare di 1])

COUNT1 in modo 2 (C34FH) collegato come in figura 20.

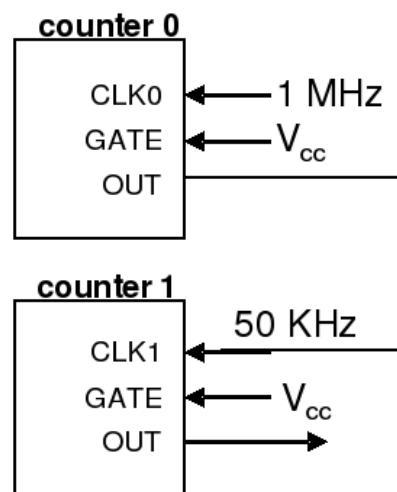


Figura 20

Di seguito viene riportata la procedura Assembler relativa al sistema in esame.

```
; valori di inizializzazione
COUNT0      EQU      60H
COUNT1      EQU      61H
COUNT2      EQU      62H
CONTROL      EQU      63H
CW0 _8253    EQU      00110110b
CW1 _8253    EQU      01110110b
CW_8255      EQU      10110000b
SPC4_8255    EQU      00001001b

.MODEL small
.DATA
.CODE
;programma principale
.STARTUP
CLI
; disabilita gli interrupt
CALL      init_8255
CALL      init_8253
STI
; abilita gli interrupt
WAIT
.EXIT
; programma di inizializzazione 8255
INIT_8255    PROC
MOV        DX,        53H
MOV        AL,        CW_8255
OUT        DX,        AL
MOV        AL,        SPC4_8255
OUT        DX,        AL
INIT_8255    ENDP
; procedura di inizializzazione 8253
INIT_8253    PROC
MOV        DX,        CONTROL
MOV        AL,        CW0_8253
OUT        DX,        AL
MOV        DX,        COUNT0
MOV        AL,        13H
OUT        DX,        AL
MOV        DX,        CONTROL
MOV        AL,        CW1_8253
OUT        DX,        AL
MOV        DX,        COUNT1
MOV        AL,        4FH
OUT        DX,        AL
MOV        AL,        C3H
OUT        DX,        AL
INIT_8253    ENDP
; procedura di interrupt
leggi        PROC
IN          AL,        50H
IRET
leggi        ENDP
; fine del programma
```

```
END
; procedura di interrupt
leggi      PROC
IN         AL,      50H
IRET
leggi      ENDP
; fine del programma
END
```

Sistemi a microprocessore – Lezione n° 20 (22/10/2008)

Le comunicazioni seriali

La trasmissione di dati implica lo scambio di informazioni digitali tra due sistemi o dispositivi. La distanza tra i due sistemi comunicanti può variare da poche decine di centimetri fino a diverse centinaia di chilometri.

Esistono due diversi modi di trasferire i dati:

- comunicazione *parallela*
- comunicazione *seriale*.

La differenza tra i due tipi di comunicazioni sta principalmente nel numero di segnali che connettono il trasmettitore al ricevitore. Le unità di misura usate per la velocità di trasmissione su una linea seriale sono:

- *bps*: numero di bit trasmessi per secondo;
- *baud*: numero di transizioni trasmesse per secondo.

Solo se la transazione è composta da un solo bit, allora baud e bps sono equivalenti.

Esempio:

Un segnale a 300 baud che contiene 4 bit di informazione per ogni bit cell ha una velocità di trasmissione pari a 1200 bps. I dati sono trasmessi serialmente in caratteri di n bit. All'interno di ciascun dispositivo i dati sono memorizzati in forma parallela. I dispositivi di controllo della trasmissione devono svolgere le seguenti funzioni:

- conversione parallelo-seriale di ciascun elemento per prepararlo alla trasmissione
- conversione seriale-parallela di ciascun elemento ricevuto
- sincronizzazione in fase ricevente
- controllo di eventuali errori di comunicazione.

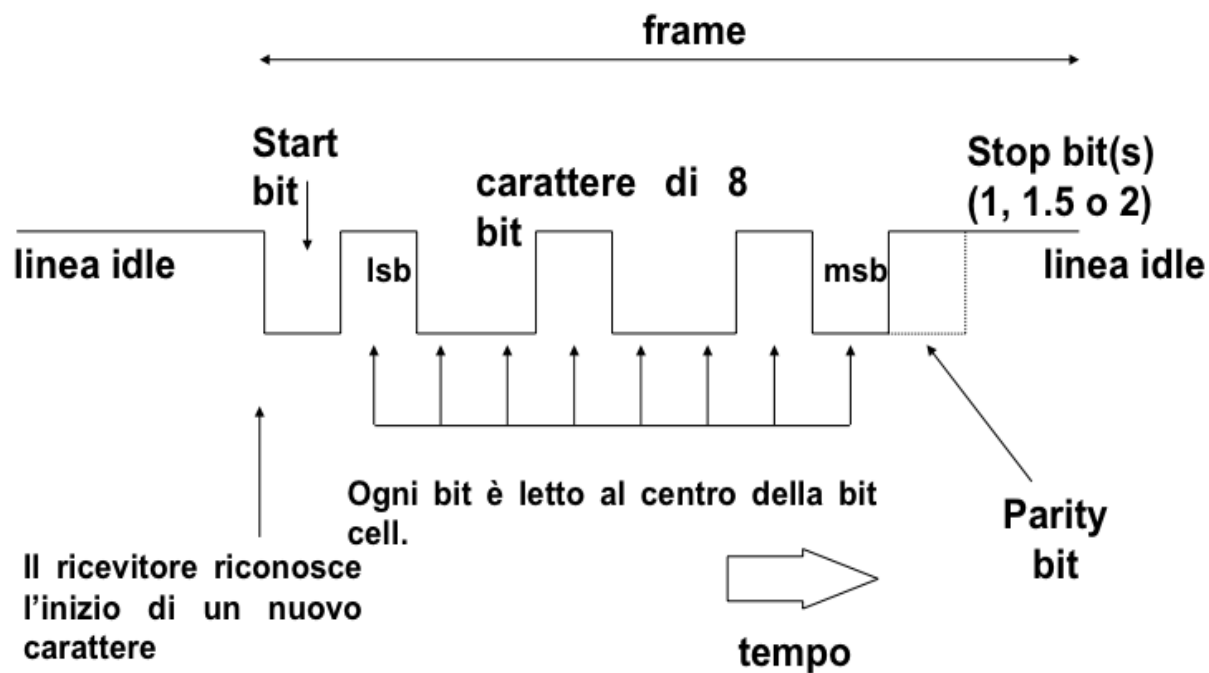


Figura 21

La frequenza di trasmissione dati (fattore di scalamento K) è concordata a priori tra ricevitore e trasmettitore e all'atto della programmazione, si comunica al dispositivo ricevente tra il suo clock ed il clock di ricezione. Dall'istante della prima transizione $1 \rightarrow 0$ il ricevitore lascia passare $K/2$ colpi di clock, e poi campiona il segnale di dato (esempio in figura 21). Se questo è basso, il bit viene interpretato come bit di start, altrimenti la transizione viene considerata fasulla. A partire dal bit di start, il ricevitore campiona il segnale di dato ogni K colpi di clock. Una volta letti i bit di dato, il ricevitore campiona i bit di stop, in modo da verificare la corretta terminazione del carattere. Il frame di trasmissione è composto:

- start-bit
- payload di 8 bit
- stop-bit

in base al valore dello start-bit (idle o controllo linea) il ricevitore si sincronizza rispetto alla trasmissione ponendosi in ascolto e acquisendo i bit trasmessi. I dati trasmessi sono privi di errori grazie ad un meccanismo di controllo implementato tramite bit di parità. L'8250 identifica anche errori riguardo la presenza di idle troppo lunghi o la mancanza di stop-bit.

Le comunicazioni seriali: Bit per carattere

La dimensione di ciascun carattere (in bit) fa parte dei parametri di connessione. Solitamente si utilizzano caratteri di 5, 6, 7 o 8 bit. È possibile prevedere un bit aggiuntivo per ciascun carattere, che contenga un'informazione di parità, che può venire utilizzata per rilevare eventuali errori di trasmissione.

Per trasmettere ciascun carattere sono necessari 10 (1 bit di start, 8 bit di dato e 1 bit di stop) o 11 bit (1 + 8 + 2 bit). Supponendo di trasmettere ad una frequenza di 1200 bit al secondo, il tasso di trasmissione è quindi pari a 1200/11 byte al secondo.

Le comunicazioni seriali: UART

I circuiti di interfaccia per gestire la comunicazione asincrona sono noti come Universal Asynchronous Receiver and Transmitter (UART). L'attributo di universale sta a significare che il dispositivo è programmabile e dunque l'utente può specificare le caratteristiche operative richieste inviando una opportuna parola di controllo.

Le comunicazioni seriali: 8250

L'8250 è l'interfaccia standard di comunicazione seriale di tipo UART della National Semiconductor. Essa permette di generare internamente il bit-rate nell'intervallo di valori previsti dallo standard RS-232. L'8250 implementa un tipo di comunicazione asincrona, con un fattore di scalamento pari a 16. Presenta anche un meccanismo di riconoscimento di errori di trasmissione.

Descrizione operativa: Piedinatura e registri

- RD: Lettura
- WR: Scrittura
- S: Selezione
- A0-A2: Bit di indirizzo
- D0-D7: Bus dati
- INTR: Richiesta Interrupt
- SIN: Ingresso Seriale
- SOUT: Uscita seriale
- OUT1, OUT2: Uscita utente
- RTS: Richiesta di invio
- CTS: Cancellazione di invio
- DCD: Data Carrier Detect
- DTR: Data Terminal Ready
- DSR: Data Set Ready
- RI: Ring Indicator

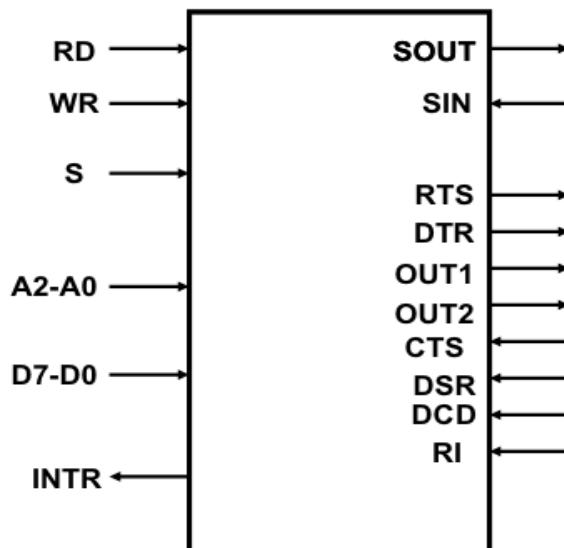


Figura 22

Registri interni (indirizzamento in figura 3):

L'8250 contiene al suo interno 10 registri interni: alcuni contengono dati ricevuti dall'esterno, altri controllano la trasmissione e gli interrupt. Poichè tre bit non sono sufficienti a indirizzare 10 registri si utilizza il DLAB.

- Receiver Buffer Register(RBR)
- Transmitter Holding Register(THR)
- Line Status Register(LSR)
- Line Control Register(LCR)
- Divisor Latch Registers(DLRs)
- Modem Status Register(MSR)
- Modem Control Register(MCR)
- Interrupt Enable Register(IER)
- Interrupt Identification Register(IIR)

	A2	A1	A0	DLAB	Accesso
RBR	0	0	0	0	lettura
THR	0	0	0	0	scrittura
DLR-LSB	0	0	0	1	lettura e scrittura
DLR-MSB	0	0	1	1	lettura e scrittura
IER	0	0	1	0	lettura e scrittura
IIR	0	1	0	-	lettura
LCR	0	1	1	-	lettura e scrittura
MCR	1	0	0	-	lettura e scrittura
LSR	1	0	1	-	lettura
MSR	1	1	0	-	lettura

Figura 23

DLAB: Il bit denominato “DLAB”(Divisor Latch Access Bit) è un bit di indirizzo aggiuntivo implementato nel bit 7 del registro LCR. Esso è normalmente tenuto a 0, tranne per la programmazione del Divisor Latch Register.

Receiver Buffer Register: Contiene il dato ricevuto dall'interfaccia seriale tramite il segnale SIN pervenuto dal processore. Il bit meno significativo del registro contiene il bit ricevuto per primo.

Transmitter Holding Register: Contiene il dato da trasmettere tramite il piedino SOUT. Il bit meno significativo del registro contiene il bit che sarà trasmesso per primo.

Line Status Register (struttura in figura 24): È accessibile esclusivamente in lettura. Contiene le informazioni relative allo stato dell'interfaccia.

X	X	EO	B	FE	PE	OE	FI
---	---	----	---	----	----	----	----

Figura 24

FI (Full Input) = 1: un nuovo carattere è stato ricevuto dall'interfaccia ed è disponibile in RBR. Posto a 0 quando il processore legge RBR.

- OE (Overrun Error) = 1: errore di Overrun.
- PE (Parity Error) = 1: errore di Parità.
- FE (Frame Error) = 1: errore di Frame.
- B (Break) = 1: ricezione di un break, stato in cui la linea di dato è tenuta a 0 per un tempo superiore al tempo necessario per trasmettere una parola (incluso il tempo di trasmissione del bit di start, stop e parità).
- EO (Empty Output) = 1: il dato contenuto nel registro THR è stato trasmesso. Posto a livello basso quando il processore scrive in THR.

I flag di errore nel registro LSR sono:

- parity error: errore di trasmissione rilevato attraverso il bit di parità;
- framing error: mancata ricezione di un bit di stop;
- overrun error: il ricevitore ha ricevuto un nuovo dato senza che la CPU abbia letto il dato contenuto nel buffer ricevente.

I flag di errore sono posti a 0 dopo che il processore legge il registro LSR. La segnalazione di tali errori non blocca il funzionamento dell'UART, ma è compito della CPU operare le necessarie azione correttive.

Line Control Register (struttura in figura 25): Definisce il formato del frame(sia in trasmissione che in ricezione)

DLAB	BE	SP	PS	P	STOP	L2	L1
------	----	----	----	---	------	----	----

Figura 25

- L2, L1 (Number of Data Bits) definiscono il numero di bit di dato(bit per carattere)

L2= 0 L1 =0: 5 bit L2= 0 L1 =1: 6 bit

L2= 1 L1 =0: 7 bit L2= 1 L1 =1: 8 bit

- STOP (Number of Stop Bits) Numero di bit di stop.

LE=0:1 bit di stop

LE=1:1.5 bit di stop (se il carattere è di 5 bit)

2 bit di stop (se il carattere è di 6, 7 o 8 bit)

- P (Parity)= 1: presenza di un bit di parità

- Se PE = 1 i bit SP (Sticky Parity) e PS (Parity Select) assumono il seguente significato:

- SP=0 PS=0: bit di parità a 1 se nel dato c'è un numero dispari di bit a 1
- SP=0 PS=1: bit di parità a 1 se nel dato c'è un numero pari di bit a 1
- SP=1 PS=0: bit di parità= 1
- SP=1 PS=1: bit di parità= 0
- BE (Break Enable) = 1: trasmissione di un segnale di break: il piedino SOUT si porta a 0 e rimane in questo stato fino a che BE non viene posto a 0.
- DLAB (Divisor Latch Access Bit). DLAB = 1 accesso ai registri DLR.

I due registri DLR (Divisor Latch Register): permettono di determinare il bit-rate (unico per la trasmissione e per la ricezione). L'interfaccia ricava il bit-rate dividendo la sua frequenza di pilotaggio per 16 e per il numero contenuto nei due registri DLR (detto costante di tempo). Il valore della costante di tempo è quindi calcolato attraverso l'espressione: $\text{Bit-rate} = \text{frequenza di pilotaggio} / (16 * \text{costante di tempo})$. In base al valore del DLR si sceglie il fattore di divisione per la comunicazione.

In un Personal Computer la frequenza di pilotaggio vale 1.8432 Mhz. La tabella seguente specifica le costanti di tempo relative ai valori tipici di bit-rate

bit-rate	costante di tempo (hex)
110	0417
300	0180
600	00C0
1200	0060
2400	0030
4800	0018
9600	000C
19200	0006

Interrupt Enable Register (struttura in figura 6): Il registro IER permette di abilitare le richieste di interruzioni selettivamente rispetto ad alcune condizioni di errore.

0	0	0	0	SINP	ERBK	TBE	RDR
---	---	---	---	------	------	-----	-----

Figura 26

- RDR (Received Data Ready) = 1: abilitazione ad effettuare una richiesta di interruzione quando un byte è pronto in RBR

- TBE (TransmitterBuffer Empty) = 1: abilitazione ad effettuare una richiesta di interruzione quando THR è vuoto
- ERBK (Error & Break) = 1: abilitazione ad effettuare una richiesta di interruzione quando viene rilevato un errore o un segnale di break
- SINP (Serial Input) = 1: abilitazione ad effettuare una richiesta di interruzione quando uno dei segnali di input del protocollo RS-232 (CTS, DSR, DCD, RI) cambia di stato
- I bit 4-7 sono sempre a 0.

Interrupt Identification Register(struttura in figura 7): Il registro IIR è accessibile esclusivamente in lettura e permette di identificare lo stato delle richieste di interruzioni.

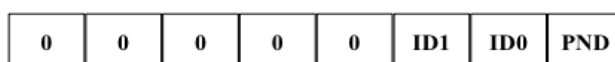


Figura 27

- PND (Pending Bit) = 1: nessun interrupt è pendente; PND = 0 interrupt pendente
- ID1, ID0 (Identify Bits): bit di identificazione delle richieste di interruzione
 - ID1 = 0 ID0 = 0: cambio di un segnale RS-232 (priorità3: min)
 - ID1 = 0 ID0 = 1: THR vuoto (priorità2)
 - ID1 = 1 ID0 = 0: RBR pieno (priorità1)
 - ID1 = 1 ID0 = 1: errore in ricezione o break (priorità0: max)

Le richieste di interruzione a priorità più basse sono bloccate se è pendente una richiesta a priorità più alta.

- I bit 3-7 devono essere posti a 0.

Indirizzi dei registri:

L'interfaccia seriale può essere posizionata in due diversi gruppi di indirizzi: COM1 e COM2.

Registro	COM1	COM2
RBR,THR,DLR-LSB	03F8h	02F8h
IER,DLR-MSB	03F9h	02F9h
IIR	03FAh	02FAh
LCR	03FBh	02FBh
MCR	03FCh	02FCh
LSR	03FDh	02FDh
MSR	03FEh	02FEh

Esempio:

Si riporta un frammento di codice che esegue una procedura di inizializzazione dell'interfaccia 8250 con riferimento alla configurazione COM1. Si supponga che i parametri della configurazione seriale siano i seguenti:

- bit-rate: 9600 bit/s
- bit per carattere: 8
- parità: disabilitata
- bit di stop: 1
- richieste di interruzione: tutte disabilite

```
; DEFINIZIONI DI COSTANTI
33 RBR EQU 03F8H
DLR_LSB EQU 03F8H
DLR_LSB EQU 03F9H
LCR EQU 03FBH
IER EQU 03F9H

INI_COM PROC NEAR
    PUSH AX
    PUSH DX
    MOV DX, LCR
    IN AL, DX                ;LETTURA DEL CONTENUTO DI LCR
    OR AL, 80H              ;SET DLAB
    OUT DX, AL              ;SCRITTURA IN LCR
                             ; BIT-RATE: 9600

    MOV AX, 000CH
    MOV DX, DLR_LSB
    OUT DX, AL
    MOV AL, AH
    INC DX
    OUT DX, AL              ; 1 BIT DI STOP, 8 BIT/CARATTERE,
                             ; PARITA' DISABILITATA
                             ; DLAB = 0

    MOV AL, 03H
    MOV DX, LCR
    OUT DX, AL              ; DISABILITAZIONE DELLE RICHIESTE
                             ; DI INTERRUZIONE

    MOV AL, 00H
    MOV DX, IER
    OUT DX, AL
    POP DX
    POP AX
    RET

INI_COM ENDP
```