

BUS DI SISTEMA

I bus di cpu collegano la cpu con i dispositivi ad essa strettamente connessi che nei sistemi moderni sono essenzialmente la memoria e il north bridge (elemento del chip-set).

Al bus di cpu mancano una serie di segnali che invece in un'economia complessiva di gestione di un sistema risultano importanti, come ad esempio i segnali di gestione delle interruzioni e del DMA.

Questo perché l'host bus non interconnette tutti gli elementi che compongono un sistema.

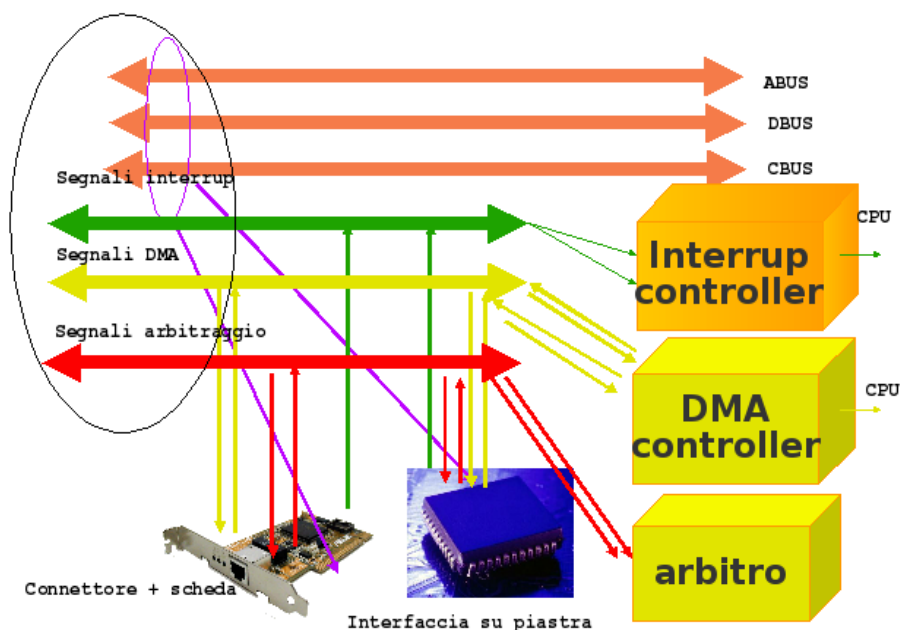
Il bus di sistema è un insieme di elementi di interconnessione su cui poggia l'architettura di sistema ed è caratterizzato da aspetti elettromeccanici standardizzati che permettono l'inserimento di slot per ospitare schede aggiuntive.

La differenza principale tra i bus di cpu e di sistema sono una serie di segnali in aggiunta a quelli tradizionali.

Tipicamente questi segnali sono:

- segnali per interrupt
- segnali per gestione di DMA
- segnali per arbitraggio bus in ambiente multimaster
- alimentazione

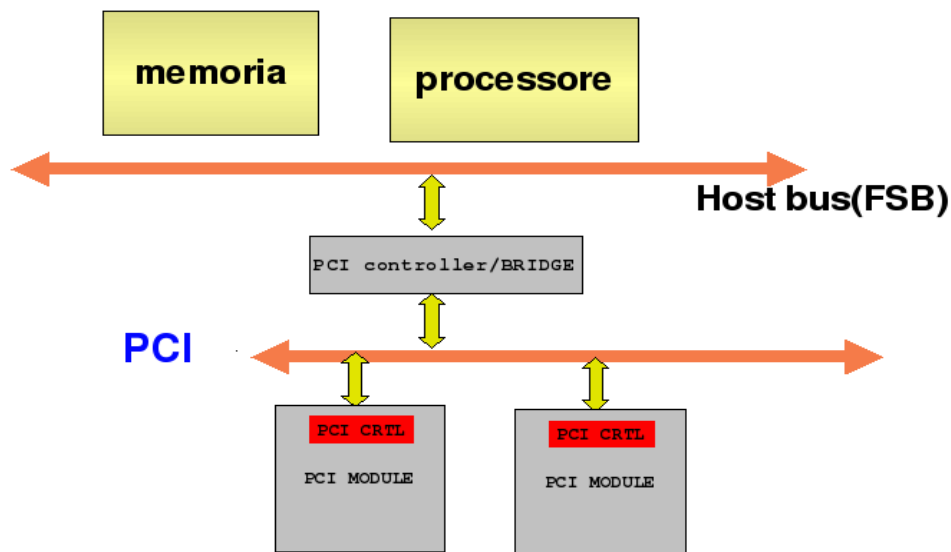
E' chiaro che sul bus deve essere affacciato sia un interrupt controller, sia un DMA controller che si avvale e gestisce i suddetti segnali.



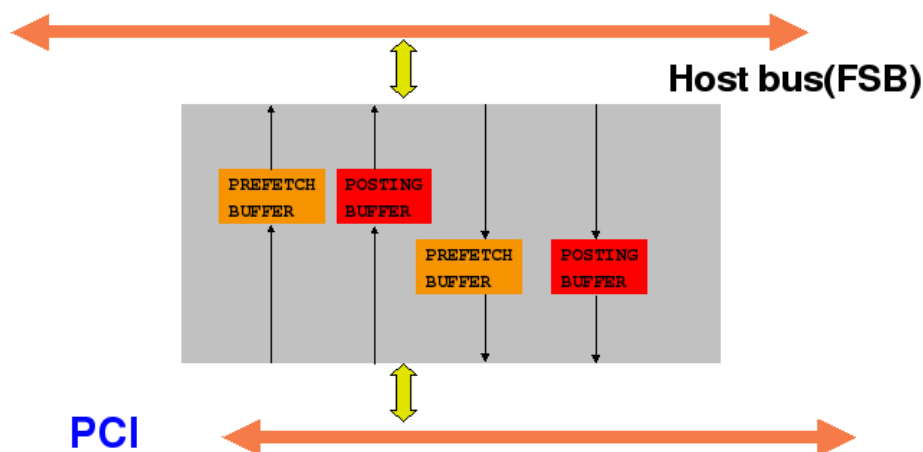
L'architettura di un bus di sistema è composta da un address bus, un data bus, un control bus, un segnale di clock (se il bus è sincrono), segnali di interrupt, segnali di dma, segnali di arbitraggio. Dato un bus di sistema gli elementi che ad esso si connettono possono essere o localizzati sulla piastra su cui è presente il bus stesso (la motherboard nel caso di PC) o mediante connettori su scheda.

Uno standard è un insieme di regole che definisce l'insieme dei segnali del bus ma anche i connettori dal punto di vista fisico (forma, tensioni,...)

PCI BUS



Al bus PCI sono interconnessi dei moduli che, come detto precedentemente, possono giacere su schede dedicate o sulla motherboard. E' presente anche un bridge di bus (PCI controller) che gestisce le temporizzazioni e le modalità di segnali del bus stesso. Il PCI controller è solitamente incluso nel chipset e funziona da interconnessione tra il PCI bus e il Front Side Bus. Nel dettaglio il PCI controller (PCI bridge) deve adattare la velocità tra il FSB (molto più veloce) con il PCI. Si usano dunque dei buffer in modo da compensare la differenza di velocità.



Per il PCI controller la terminologia di una transazione sul PCI fa riferimento ad un soggetto che governa il bus, che viene chiamato bus master o INITIATOR e uno slave chiamato TARGET. L'INITIATOR inizia la transazione che è destinata a TARGET. I bus di sistema sono progettati per la gestione dinamica della configurazione. Ad ogni dispositivo sono associati una serie di caratteristiche in fase di avvio del dispositivo stesso. Queste caratteristiche molto spesso sono gestite e determinate dal BIOS che quando si accorge dell'attivazione di un dispositivo lo configura (ovviamente in base alla tipologia di cosa è stato connesso). Per ogni modulo del PCI sono dunque necessari un insieme di dati che lo caratterizzano. Questi dati

Nel PCI si possono avere fino a 4 livelli di interruzione (4 linee dedicate ai segnali di interruzione). Ogni linea può quindi essere utilizzata da più periferici (i quali poi vengono riconosciuti mediante interrogazione polling).

Nei pc queste linee vengono poi veicolate verso il gestore delle interruzioni tradizionale, costituito da due dispositivi 8259 che operano congiuntamente. Al gestore delle interruzioni fanno anche capo altre linee di interruzione che non sono del bus PCI ma possono ad esempio essere quelle del bus ISA (se esiste) o dalla piastra madre nel caso in cui le linee provengano direttamente da essa.

Il PCI prevede anche meccanismi di supporto per le cache e per l'estensione a 64 bit.

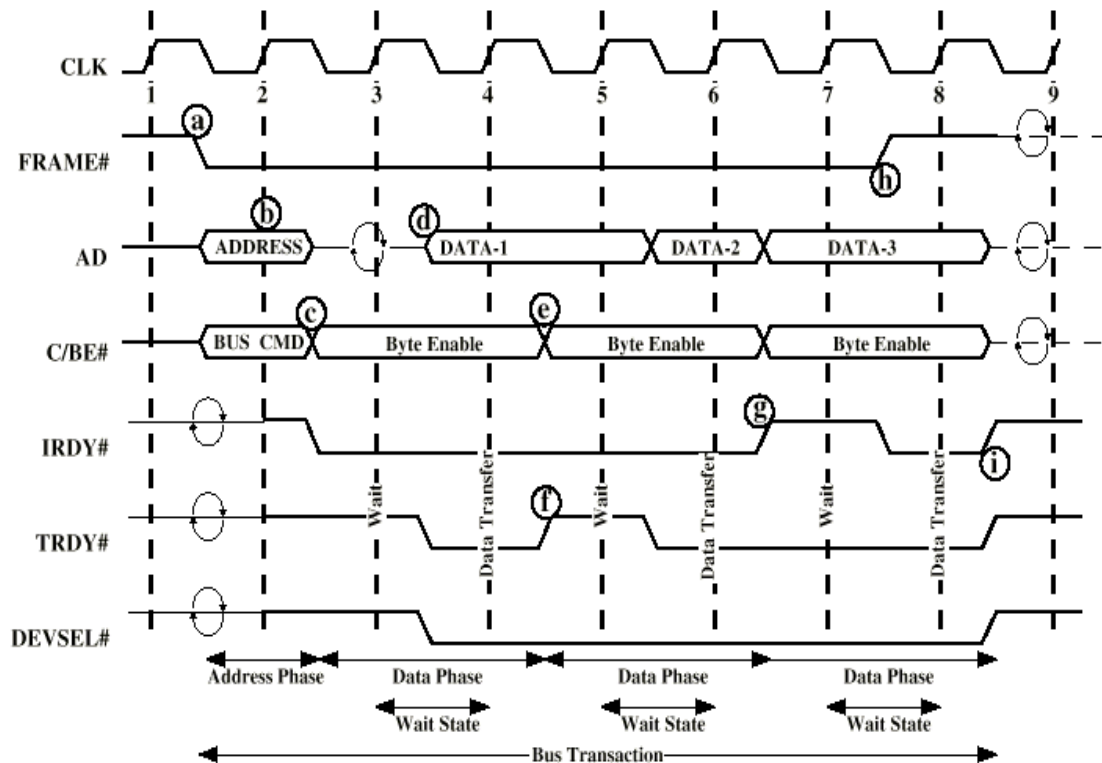
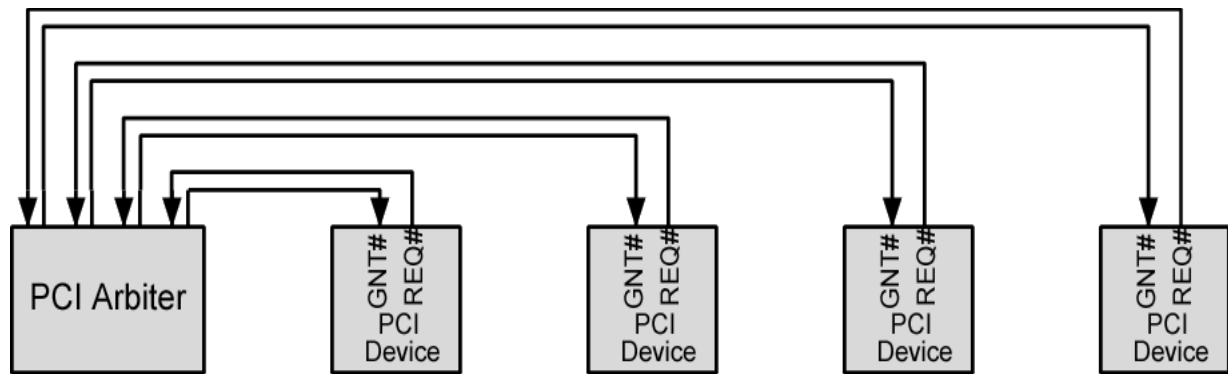


Diagramma di una transazione in lettura sul bus PCI

La temporizzazione PCI ricorda la classica temporizzazione di un bus sincrono. Data la possibilità che l'initiator e il target funzionino su due frequenze diverse è previsto un meccanismo simile al ready del FSB. Da notare è il fatto che sia l'initiator che il target possono chiedere ulteriori cicli di wait. I segnali coinvolti sono IRDY# e TRDY#.

Il segnale FRAME# gestito dall'initiator determina l'avvio di un ciclo di bus di PCI (che può durare finché non viene disattivato FRAME#).

Il segnale AD determina se quello posto sul bus è un indirizzo o un dato (il PCI ha quindi i segnali multiplexati). Il segnale C/BE indica nel primo periodo di clock il tipo di ciclo di bus che si sta iniziando.



Il meccanismo di arbitraggio prevede che ogni modulo abbia due segnali (non condivisi con altri). Uno di questi segnali è in uscita (REQ#) e permette di richiedere la promozione a initiator, l'altro è in ingresso (GNT#) e si attiva nel momento in cui la promozione è concessa. Questi segnali sono gestiti dal PCI arbiter che ovviamente implementa un criterio di arbitraggio.

SOTTOSISTEMA DI MEMORIA NELL'ARCHITETTURA 80x86

ARGOMENTI

- i tipi di dram
- i circuiti di decodifica della memoria
- DRAM controller
- progetto di un banco di memoria

Quando si fa riferimento alle memorie si fa riferimento a una gerarchia di memoria. Il problema fondamentale a cui non si è ancora riusciti a dare una risposta efficace è quello di conciliare la velocità del processore e dell'host bus con la velocità della memoria centrale (tipicamente DRAM). Questa discrasia determina una perdita di prestazioni non indifferente. Per questo motivo alla punta della piramide della gerarchia di memorie sono posizionate le cache (molto veloci ma poco capienti). Al di sotto di queste si trova la memoria principale. Da notare è il fatto che se nelle cache non sono presenti i dati richiesti dal processore si ha un miss e un prelevamento di questi dalla memoria centrale con una drammatica ripercussione sulle prestazioni.

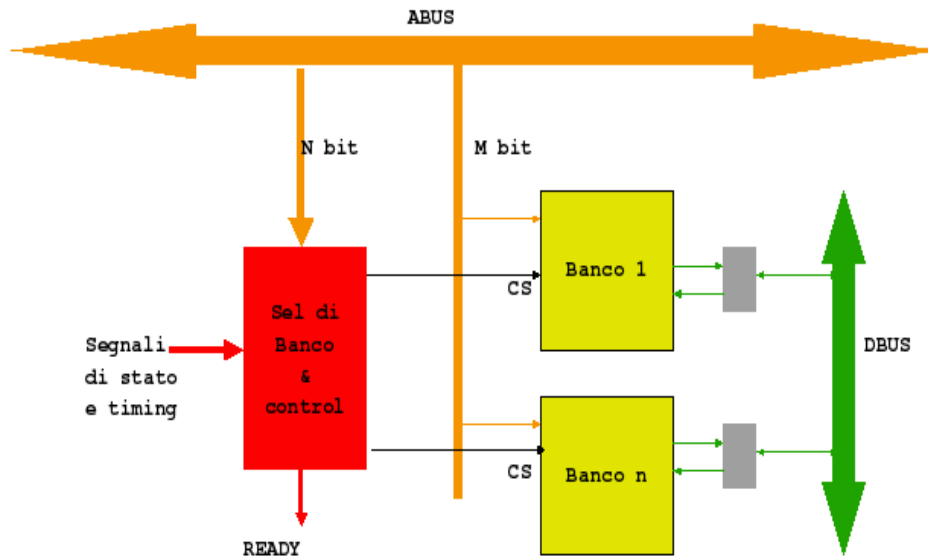
A questo problema si sono trovate soluzioni tecnologiche (fast operative mode dram) e soluzioni architetturali (interleaving di banco).

Si hanno poi problemi di refresh (i condensatori delle celle di memoria devono essere periodicamente riscritti con una perdita di prestazioni non trascurabile), rilevazioni di correzione errori (più la memoria è grande più la probabilità di presenza di un errore è elevata).

Nei PC moderni la larghezza di una riga di memoria al posto di essere di 64 bit è di 72 bit avendo 8 bit funzione di rilevazione e correzione errore.

E' poi necessario disporre di controller di dram che traducono la temporizzazione e i segnali del bus con quelli interni della memoria (per esempio la memoria è internamente organizzata in banchi).

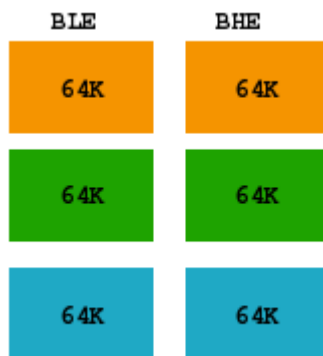
Normalmente i DRAM controller risiedono dentro i chipset e sono configurabili da BIOS.



L'indirizzo presente sull' address bus è suddiviso in due parti. Una parte va al controller e che selezione i vari banchi della memoria e una parte che va ai singoli chip che individua il bit(o i bit) all'interno dei singoli chip.

Il controller ha una serie di funzioni fondamentali: selezionare il banco che contiene l'informazione richiesta coerentemente con l'indirizzo (segnali di chipselect), generare la temporizzazione per la lettura delle celle di memoria (del tutto indipendente dalla temporizzazione del bus), permettere la sincronizzazione tra i tempi di accesso della memoria e della cpu mediante il segnale di ready.

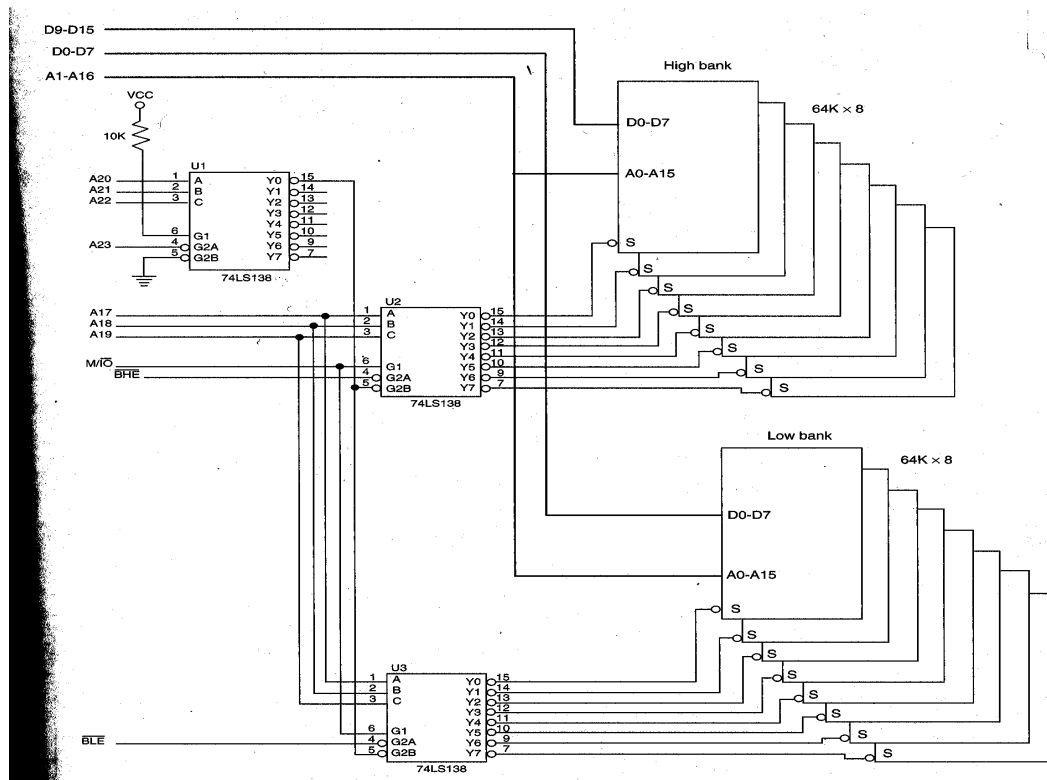
SRAM



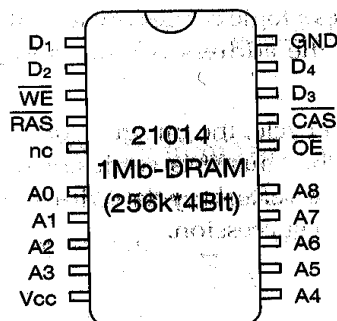
Avendo un ABUS a 24 bit e un DBUS da 16 bit (una memoria cioè da 16M) si possono selezionare i banchi della memoria mediante due segnali BEi (ad esempio BHe per il byte alto, BLE per il byte basso). Organizziamo la memoria come un blocco da 1M suddiviso in due banchi da 512K. Ogni banco supponiamolo da 64K x 8.

L'address bus sarà dunque così composto: ABUS0 selezionerà il byte di partenza (pari allineato al primo banco, dispari allineato al secondo banco), ABUS1-16 selezionerà la parola nel banco (con profondità 64K), i bit rimanenti selezionano il blocco.

Da notare nello schema la presenza di due decoder che selezionano i due banchi di memoria e anche i singoli chip all'interno del banco.



DRAM



Le ram dinamiche hanno una complessita di gestione maggiore. Supponiamo di avere un chip da 1Mb di capienza organizzato internamente come 256K*4bit (256K celle di memoria ognuna da 4 bit).

I segnali D sono i segnali dato che veicolano all'interno o all'esterno le informazioni di una cella di memoria (cioe in lettura o in scrittura).

Le RAM dinamiche hanno un numero di piedini di indirizzo che è la meta del numero richiesto. Questo perche i segnali degli indirizzi sono multiplexati. Cio significa che su ogni piedino di indirizzo sono multiplexati due segnali di indirizzo (da qui la spiegazione del perche i piedini sono la meta del numero di bit di indirizzo).

La configurazione interna del chip puo essere pensata come una matrice, dove la prima meta dell'indirizzo seleziona le righe, mentre la seconda meta le colonne.

Il segnale RAS (Row Address Strobe, per le righe) e CAS (Column Address Strobe) segnalano la

stabilità degli indirizzi di riga e di colonna.

Una memoria dinamica ha sostanzialmente 4 tipologie di ciclo:

- Ciclo Read
- Ciclo Write (2 tipi): uno solo di scrittura, l'altro di riscrittura (lettura e scrittura combinate)
- Ciclo Refresh
- Ciclo Fast Operative

N.B. la temporizzazione di un ciclo di una memoria RAM non è solo costituito dal tempo di accesso ma anche dal tempo di precarica che è un tempo non trascurabile durante il quale la memoria opera al suo interno e non può svolgere altre operazioni.

Bisogna dunque distinguere il tempo di accesso (tempo di risposta della memoria quando sollecitata), dal tempo di ciclo che ci dice una volta partito un ciclo per quale lasso di tempo non posso più richiedere alla memoria di iniziarne uno nuovo.

A peggiorare le prestazioni complessive della memoria ci sono inoltre i cicli di refresh che devono ovviare a problemi di natura tecnologica (scarica dei condensatori) con una lettura e riscrittura dei dati contenuti nel chip.